



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 07 548.8

Anmeldetag: 21. Februar 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Synchrones Speichersystem sowie Verfahren
und Protokoll zur Kommunikation in einem
synchronen Speichersystem

IPC: G 06 F 12/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 26. Februar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Klostermeyer

**"Synchrones Speichersystem sowie Verfahren und Protokoll zur
Kommunikation in einem synchronen Speichersystem"**

Beschreibung

Die vorliegende Erfindung betrifft ein synchrones
Speichersystem, ein Verfahren zur Kommunikation in einem
synchronen Speichersystem und ein Protokoll zur Kommunikation
5 in einem synchronen Speichersystem.

Es sind synchrone Speichersysteme bekannt, bei welchen
mehrere Speichermodule über einen sogenannten Stub-Bus
(insbesondere bei PC100, DDR oder DDR-II) mit einem
10 Controller bzw. einer Speichersteuereinrichtung verbunden
sind. Der Stub-Bus ist als parallele Übertragungsleitung
ausgebildet, von welcher Verbindungen zu den einzelnen
Speichermodulen abzweigen. Insbesondere in hohen
Frequenzbereichen bzw. für hohe Datenraten weist eine solche
15 Anordnung den Nachteil auf, daß Reflexionen in den
Speicherränken der Speichermodule auftreten und das Signal
auf dem Bus beeinträchtigen. Insbesondere bei Datenraten von
800 Mbps/Pin und mehr (Megabit pro Sekunde und pro Pin)
stoßen die bekannten Konzepte an ihre Grenzen.

20 Es ist somit eine Aufgabe der vorliegenden Erfindung, ein
synchrones Speichersystem, ein Verfahren zur Kommunikation in
einem synchronen Speichersystem und ein Protokoll zur
Kommunikation in einem synchronen Speichersystem
25 bereitzustellen, die eine schnelle und sichere Übertragung
von Signalen innerhalb des Speichersystems, insbesondere bei
hohen Datenraten, ermöglichen.

Diese Aufgabe wird gelöst durch ein synchrones Speichersystem mit den in Anspruch 1 angegebenen Merkmalen, ein Verfahren zur Kommunikation in einem synchronen Speichersystem mit den in Anspruch 16 angegebenen Merkmalen und ein Protokoll zur Kommunikation in einem synchronen Speichersystem mit den in Anspruch 22 angegebenen Merkmalen. Bevorzugte Ausführungsformen sind Inhalt der abhängigen Ansprüche.

Gemäß der Erfindung wird ein synchrones Speichersystem bereitgestellt, umfassend:

- eine Speichersteuereinrichtung;
 - ein oder mehrere Speichermodule eines Hauptspeichers, wobei jedes Speichermodul einen oder mehrere Speicherränke umfaßt;
 - einen Übertragungsbus zur Kommunikation zwischen der Speichersteuereinrichtung und den Speichermodulen, wobei der Übertragungsbus als eine verkettete Busstruktur bzw. als eine sogenannte "daisy chain"-Struktur ausgebildet ist und mehrere parallele Übertragungsleitungen umfaßt;
- wobei
- die Speichersteuereinrichtung ausgelegt ist, Befehle, welche mehrere Befehlssegmente mit jeweils mehreren Elementen umfassen, zu erzeugen und über den Übertragungsbus zu den Speichermodulen zu übertragen,
- der Übertragungsbus ausgelegt ist, die Elemente eines Befehlssegments parallel zu übertragen, und
- die Befehle jeweils ein Auswahlbefehlssegment bzw. Speicherrankauswahlvektor umfassen zum Auswählen eines oder mehrerer Speicherränke, wobei jedem der Speicherränke eindeutig zumindest ein Element des Auswahlbefehlssegments zugeordnet ist.

Unter einem Speicherrank in Sinne dieser Erfindung werden eine Reihe von Speicherchips verstanden, welche alle mit dem gleichen Befehl bzw. Kommando (incl. dem ChipSelect-Signal) im wesentlichen gleichzeitig bzw. gemeinsam angesprochen werden. Dies ist vorteilhaft, um beispielsweise einen

Speicherdatenbus, der beispielsweise aus 64 Bits besteht, mit vier Speicherchips zu bestücken, die ihrerseits nur 16 Datenbits zur Verfügung stellen.

- 5 Vorzugsweise umfaßt das synchrone Speichersystem zumindest zwei Speicherränke.

Bei der verketteten Busstruktur sind zwischen der Speichersteuereinrichtung und den Speichermodulen und
10 zwischen den Speichermodulen untereinander vorzugsweise Punkt-zu-Punkt-Verbindungen (P2P-Verbindungen) bzw. Links vorgesehen. Hierbei ist ein erstes Speichermodul mit der Speichersteuereinrichtung über eine Punkt-zu-Punkt-Verbindung und mit dem benachbarten Speichermodul über eine weitere
15 Punkt-zu-Punkt-Verbindung verbunden. Die weiteren Speichermodule sind ebenfalls über Punkt-zu-Punkt-Verbindungen mit dem jeweils nächsten Speichermodul verbunden.

- 20 Für jeden Speicherrank ist zumindest ein eigenes Element in dem Auswahlbefehlssegment vorgesehen. Dadurch wird ermöglicht, daß jeder Speicherrank direkt angesprochen werden kann. Somit kann einer, mehrere oder alle Speicherränke gleichzeitig angesprochen werden.

25

Der Hauptspeicher ist vorzugsweise ein DIMM-Speicher (Dual In-line Memory Module Speicher) wie er in herkömmlichen Computern verwendet wird.

- 30 Vorzugsweise umfassen die Speichermodule ferner eine Puffereinrichtung bzw. einen Pufferchip zum Weiterleiten von Befehlen an einen oder mehrere Speicherränke des jeweiligen Speichermoduls und/oder an andere Speichermodule. Die Puffereinrichtung bildet eine Schnittstelle zwischen den
35 Speicherränken und dem Übertragungsbus.

Bevorzugt ist die Puffereinrichtung ausgelegt zum Vergleichen des Bitmusters des Auswahlbefehlssegments eines Befehls mit einem oder mehreren vorbestimmten Bitmustern und zum Entscheiden, ob der zugehörige Befehl an einen oder mehrere
5 der Speicherränke des Speichermoduls und/oder andere Speichermodule weitergeleitet werden soll.

Die Puffereinrichtung umfaßt somit bevorzugt einen Switch bzw. eine Vergleichseinrichtung, mittels welcher ermittelbar
10 ist, ob ein Befehl an einen oder mehrere der Speicherränke des jeweiligen Speichermoduls weitergeleitet werden soll. Ferner kann entschieden werden, ob ein Befehl an das benachbarte, über den Übertragungsbus mit dem Speichermodul verbundene Speichermodul übertragen werden soll.

15

Ferner ist die Puffereinrichtung vorzugsweise zum Erzeugen eines Chip-Select-Signals für einen oder mehrere Speicherränke ausgelegt. Mit Hilfe des Chip-Select-Signals bzw. Chip-Auswahl-Signals bzw. Speicherrank-Auswahl-Signals
20 wird dem jeweiligen Speicherrank signalisiert, daß der jeweilige Befehl für ihn bestimmt ist.

Bevorzugt ist das Auswahlbefehlssegment das erste Segment eines Befehls. Es kann somit sehr früh ermittelt werden, ob
25 der jeweilige Befehl für einen Speicherrank des jeweiligen Speichermoduls bestimmt ist oder nicht. Dadurch können Latenzen bzw. Verzögerungen in dem System gering gehalten werden.

30 Vorzugsweise ist die Anzahl der Übertragungsleitungen des Übertragungsbusses mindestens gleich der maximalen Anzahl der in dem Speichersystem verwendbaren Speicherränke.

Ferner kann in den Befehlen für jeden Speicherrank ein
35 Element für ein Clock-Enable-Signal bzw. Zeitgeber-Aktivierungs-Signal vorgesehen sein. Dies bedeutet, daß in den Befehlen zumindest so viele Elemente für ein Clock-

Enable-Signal vorgesehen sind, wie Speicherränke in dem System verwendet werden bzw. werden können. Die einzelnen Clock-Enable-Signale können somit jeweils einem bestimmten Speicherrank zugeordnet werden.

5

Alternativ kann in den Befehlen ein Element für ein Clock-Enable-Signal für alle Speicherränke vorgesehen sein. Dies bedeutet, daß nur ein Element je Befehl für ein Clock-Enable-Signal vorgesehen ist. Mit Hilfe des Auswahlbefehlssegments
10 kann ermittelt werden, für welchen Speicherrank bzw. welche Speicherränke das Clock-Enable-Signal im jeweiligen Fall vorgesehen ist.

Ähnlich wie für das Clock-Enable-Signal, kann in den Befehlen
15 für jeden Speicherrank ein Element für ein On-Die-Termination-Signal vorgesehen sein. Somit kann jedem Speicherrank ein eigenes On-Die-Termination-Signal zugeordnet werden. Alternativ kann in den Befehlen ein Element für ein On-Die-Termination-Signal für alle Speicherränke vorgesehen
20 sein. Somit ist nur ein Element je Befehl für ein On-Die-Termination-Signal vorgesehen.

Ferner kann die Puffereinrichtung ausgelegt sein, ein On-Die-Termination-Signal zu erzeugen. Somit ist das On-Die-Termination-Signal nicht mehr in den Befehlen enthalten,
25 sondern wird intern in dem Speichermodul durch die Puffereinrichtung erzeugt.

Bevorzugt ist in den Befehlen ein Element für ein Reset-Signal vorgesehen. Alternativ kann eine Übertragungsleitung
30 für ein Reset-Signal in dem System vorgesehen sein.

Vorzugsweise ist in den Befehlen ein Element zum Signalisieren vorgesehen, daß der Befehl für die
35 Puffereinrichtung bestimmt ist. Dadurch können Befehle nicht nur an die Speicherränke, sondern auch an die Puffereinrichtung adressiert werden. Weiter kann vorgesehen

sein, daß wenn ein Befehl für die Puffereinrichtung bestimmt ist, einige Elemente des Befehls eine andere Funktion erhalten.

- 5 Weiter bevorzugt umfaßt die Speichersteuereinrichtung eine Kodiereinrichtung zum Kodieren von erzeugten Befehlen und die Puffereinrichtung eine Dekodiereinrichtung zum Dekodieren von empfangenen kodierten Befehlen.
- 10 Durch die Kodierung der erzeugten Befehle insbesondere mit einem Kodierungsverfahren für eine Hochgeschwindigkeits-Übertragung kann die Übertragung der Befehle mit einer hohen Geschwindigkeit erfolgen.
- 15 Gemäß der Erfindung wird ferner ein Verfahren zur Kommunikation in einem synchronen Speichersystem, insbesondere gemäß der Erfindung oder einer bevorzugten Ausführungsform davon, zwischen einer Speichersteuereinrichtung und einem oder mehreren
- 20 Speichermodulen eines Hauptspeichers über einen Übertragungsbus bereitgestellt, wobei jedes Speichermodul einen oder mehrere Speicherränke umfaßt, der Übertragungsbus als eine verkettete Busstruktur ausgebildet ist und mehrere parallele Übertragungsleitungen umfaßt,
- 25 wobei das Verfahren die folgenden Schritte umfaßt:
- Erzeugen von Befehlen, welche jeweils mehrere Befehlssegmente mit jeweils mehreren Elementen umfassen, durch die Speichersteuereinrichtung;
 - Übermitteln der Befehle zu den Speichermodulen über den
- 30 Übertragungsbus, wobei die Elemente eines Befehlssegments parallel übertragen werden;
- wobei die Befehle ein Auswahlbefehlssegment umfassen zum Auswählen eines oder mehrerer Speicherränke, wobei jedem der Speicherränke ein-eindeutig zumindest ein Element des
- 35 Auswahlbefehlssegments zugeordnet ist.

Bevorzugt umfassen die Speichermodule jeweils eine Puffereinrichtung und das Verfahren umfaßt die folgenden Schritte:

- 5 - Empfangen der Befehl von dem Übertragungsbus durch die Puffereinrichtung; und
 - Weiterleiten der Befehle an einen oder mehrere Speicherränke des jeweiligen Speichermoduls und/oder andere Speichermodule durch die Puffereinrichtung.
- 10 Vorzugsweise umfaßt das Verfahren die folgenden Schritte:
- Vergleichen des Bitmusters des Auswahlbefehlssegments mit einem oder mehreren vorbestimmten Bitmustern durch die Puffereinrichtung; und
 - 15 - Entscheiden, ob der zugehörige Befehl an einen oder mehrere der Speicherränke des Speichermoduls und/oder andere Speichermodule weitergeleitet werden soll, durch die Puffereinrichtung.

20 Bevorzugt umfaßt das Verfahren ferner einen Schritt des Erzeugens eines Chip-Select-Signals für einen oder mehrere Speicherränke durch die Puffereinrichtung. Weiter bevorzugt wird das Auswahlbefehlssegment als erstes Segment eines Befehls übertragen.

25 Vorzugsweise umfaßt das Verfahren ferner einen Schritt des Kodierens von erzeugten Befehlen durch die Speichersteuereinrichtung und einen Schritt des Dekodierens des empfangenen kodierten Befehls durch die Puffereinrichtung.

30

Gemäß der Erfindung wird ferner ein Protokoll zur Kommunikation in einem synchronen Speichersystem, insbesondere gemäß der Erfindung oder einer bevorzugten Ausführungsform davon, zwischen einer

35 Speichersteuereinrichtung und einem oder mehreren Speichermodulen eines Hauptspeichers über einen Übertragungsbus bereitgestellt, wobei jedes Speichermodul

einen oder mehrere Speicherränke umfaßt und der Übertragungsbus als eine verkettete Busstruktur ausgebildet ist und mehrere parallele Übertragungsleitungen umfaßt, wobei das Protokoll Befehle, welche mehrere Befehlssegmente mit
5 jeweils mehreren Elementen aufweisen, umfaßt und die Befehle ein Auswahlbefehlssegment zum Auswählen eines oder mehrerer Speicherränke umfassen, wobei jedem der Speicherränke ein-
eindeutig zumindest ein Element des Auswahlbefehlssegments zugeordnet ist.

10

Die obige Beschreibung des Systems gilt entsprechend auch für das Verfahren und das Protokoll.

15

Die Erfindung wird im folgenden anhand begleitender Zeichnungen bevorzugter Ausführungsformen beispielhaft beschrieben. Es zeigt:

20

Fig. 1 ein schematisches Blockschaltbild eines wesentlichen Teils eines Systems gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung;

Fig. 2 eine detaillierte Ansicht des Systems von Figur 1;

25

Fig. 3 eine Darstellung eines Befehls für ein System gemäß einer ersten bevorzugten Ausführungsform der Erfindung;

30

Fig. 4 eine Darstellung eines Befehls für ein System gemäß einer zweiten bevorzugten Ausführungsform der Erfindung; und

35

Fig. 5 eine Darstellung eines Befehls für ein System gemäß einer dritten bevorzugten Ausführungsform der Erfindung.

Nachfolgend wird eine bevorzugte Ausführungsform eines erfindungsgemäßen Systems mit Bezug auf Figuren 1 und 2

beschrieben.

Fig. 1 zeigt ein schematisches Blockschaltbild eines Teils eines Systems 10 gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung und **Fig. 2** zeigt eine detaillierte Ansicht des Systems 10 von Figur 1.

Das synchrone Speichersystem 10 umfaßt ein sogenanntes "Mother Board" bzw. eine Hauptplatine 12, an welchem eine Speichersteuereinrichtung bzw. ein Controller 14 und ein oder mehrere Speichermodule 16 angeordnet sind. In Fig. 1 und Fig. 2 sind jeweils nur zwei Speichermodule 16 dargestellt.

Die Speichersteuereinrichtung 14 sendet Daten und Befehle an die Speichermodule 16. Die Speichermodule 16 können z.B. DIMMs (Dual In-Line Memory Modules) eines (herkömmlichen) Computers sein und den Hauptspeicher des Computers bilden. Ein Speichermodul 16 umfaßt eine Puffereinrichtung 18 und einen oder mehrere Speicherränke 20.

20

Wie eingangs bereits ausgeführt, wird unter einem Speicherrank 20 in Sinne der Erfindung Reihe von Speicherchips D verstanden, die alle mit den gleichen Kommandos bzw. Befehlen im wesentlichen gleichzeitig bzw. gemeinsam angesprochen werden. Hierbei ist auch das Chip-Select-Signal bzw. Chip-Auswahl-Signal für alle Speicherchips D eines Speicherranks 20 gleich. Z.B. wird ein Speicherdatenbus, der aus 64 Bits besteht, mit vier Speicherchips D bestückt, die ihrerseits nur 16 Datenbits zur Verfügung stellen. Die Speicherchips D können z.B. DRAMs sein. Vorzugsweise sind n Speicherränke 20 vorgesehen bzw. es können n Speicherränke 20 in dem System 10 verwendet werden.

Die Puffereinrichtung 18 empfängt Befehle von der Speichersteuereinrichtung 14 und leitet diese an die Speicherränke 20 und/oder benachbarte Speichermodule 16 weiter. Die Puffereinrichtung 18 umfaßt einen

Eingangsanschluß 26 zum Empfangen von Befehlen bzw. Signalen und einen Ausgangsanschluß 28 zum Ausgeben von Befehlen bzw. Signalen. Ferner ist in der Puffereinrichtung 18 ein Switch bzw. Schalter 30 und ein DM bzw. eine Demultiplexer-Schaltung 32 vorgesehen. Der DM 32 übersetzt den schnellen und schmalen Übertragungsbus 22 in einen langsameren und breiten bzw. breiteren Bus für die Speicherchips. Die Funktionsweise des Schalters 30 wird später beschrieben.

Die Speichersteuereinrichtung 14 und die Speichermodule 16 sind über einen Übertragungsbus bzw. CA-Link 22 miteinander verbunden. Der Übertragungsbus 22 ist hierbei als eine verkettete Busstruktur ausgebildet bzw. bildet eine sogenannte "Daisy-Chain"-Struktur. Dies bedeutet, daß die Speichersteuereinrichtung 14 direkt mit einem ersten Speichermodul 16 über eine Punkt-zu-Punkt-Verbindung bzw. einen Link verbunden ist. Das erste Speichermodul 16 ist mit dem benachbarten Speichermodul 16 ebenfalls über eine Punkt-zu-Punkt-Verbindung bzw. einen Link verbunden. Die nachfolgenden, in Figuren 1 und 2 nicht gezeigten Speichermodule 16 sind ebenfalls über Punkt-zu-Punkt-Verbindungen bzw. Links kettenartig miteinander verbunden. Die Speichermodule 16 bilden somit eine Kette, bei welcher immer jeweils ein Speichermodul 16 mit dem nächsten verbunden ist. Es kann ferner vorgesehen sein, daß das letzte Speichermodul 16 in der Kette mit der Speichersteuereinrichtung 14 verbunden ist. In der vorliegend dargestellten Ausführungsform ist dies jedoch nicht der Fall.

Der Übertragungsbus 22 weist mehrere parallele Übertragungsleitungen bzw. CA-Leitungen bzw. CA-Lines auf, über welche gleichzeitig bzw. parallel später beschriebene Teile von Befehlen übertragen werden. Die Anzahl der parallelen Übertragungsleitungen entspricht hierbei der maximalen Anzahl der in dem Speichersystem 10 verwendbaren Speicherränke 20. Somit sind vorzugsweise n Übertragungsleitungen in dem Übertragungsbus 22 vorhanden.

Jedoch kann auch eine größere oder kleinere Anzahl an parallelen Übertragungsleitungen vorgesehen sein. Ferner können weitere Übertragungsleitungen beispielsweise zur Übertragung von Synchronisationssignalen wie z.B. Takt-Signalen oder Strobe-Signalen vorgesehen sein.

In jedem Speichermodul 16 ist die Puffereinrichtung 18 über interne Verbindungen 24 mit den Speicherränken 20 verbunden. Die internen Verbindungen 24 weisen ebenfalls parallele Übertragungsleitungen bzw. CA-Leitungen auf, wobei die Anzahl der Übertragungsleitungen der internen Verbindungen 24 größer ist als die Anzahl der Übertragungsleitungen des Übertragungsbusses 22.

Die Anzahl der Pins bzw. Anschlüsse, welche nötig ist, um ein Speichermodul 16 mit dem Übertragungsbus 22 zu verbinden entspricht der Anzahl der Übertragungsleitungen des Übertragungsbusses 22 und kann somit gering gehalten werden.

Die Speichersteuereinrichtung 14 kommuniziert mit den Speichermodulen 16 mit Hilfe von Befehlen. Diese Befehle werden von der Speichersteuereinrichtung 14 zu den Speichermodulen 16 mit Hilfe eines Protokolls, welches Befehle eines bestimmten Formats verwendet, übertragen.

Nachfolgend wird mit Bezug auf **Figur 3** ein erstes Befehlsformat, welches in einem synchronen Speichersystem gemäß der bevorzugten Ausführungsform der vorliegenden Erfindung verwendet wird, beschrieben.

Ein Befehl umfaßt mehrere Befehlssegmente BS, welche jeweils mehrere Elemente bzw. Bits E aufweisen. Die Anzahl der Elemente E pro Befehlssegment BS ist vorzugsweise gleich der Anzahl n der parallelen Übertragungsleitungen des Übertragungsbusses 22. In der dargestellten Ausführungsform ist n beispielsweise gleich 8. Jedoch kann jede andere geeignete Anzahl vorgesehen sein. Die Übertragungsleitungen

des Übertragungsbusses 22 sind in Fig. 3 mit CA[0] bis CA[7] gekennzeichnet.

Die Elemente E eines Befehlssegments BS werden gleichzeitig
5 bzw. parallel über den Übertragungsbus 22 übertragen. Ein Befehl kann auch als eine Matrix von Signalen aufgefaßt werden, wobei die Befehlssegmente BS den Spalten der Matrix entsprechen.

10 Gemäß der bevorzugten Ausführungsform der Erfindung umfaßt jeder Befehl ein Auswahlbefehlssegment bzw. Speicherrankauswahlvektor R. Jeweils ein Element bzw. Bit R[i] des Auswahlbefehlssegments R ist einem vorbestimmten
15 Speicherrank 20 zugeordnet. Mit Hilfe der Elemente R[i] des Auswahlbefehlssegments R können einzelne, mehrere oder alle Speicherränke 20 ausgewählt bzw. angesprochen werden. Dies bedeutet, daß der jeweilige Befehl für den ausgewählten Speicherrank 20 oder die ausgewählten Speicherränke 20 bestimmt ist. Wenn das Element bzw. Bit R[i] gesetzt ist,
20 wird somit der i-te Speicherrank 20 ausgewählt und der Befehl ist für diesen Speicherrank bestimmt. In dem Auswahlbefehlssegment R kann kein, ein, mehrere oder alle Elemente gesetzt sein, um keinen, einen, mehrere oder alle Speicherränke 20 auszuwählen.

25 Die Adressierung der einzelnen Speicherränke 20 erfolgt somit direkt über die Elemente E des Auswahlbefehlssegments R, ohne daß eine Kodierung erfolgen würde. Dadurch können auf einfache Weise im Rahmen der Kapazität des Speichersystems 10
30 Speichermodule 16 hinzugefügt werden. Ferner ist es, wie bereits oben diskutiert, möglich einen Befehl (sog. "Broadcast-Befehl") an mehrere oder alle Speicherränke 20 gleichzeitig zu senden.

35 Ein Befehl gemäß der ersten Ausführungsform umfaßt ferner bevorzugt ein Befehlssegment BS, dessen Elemente E Clock-Enable-Signale bzw. Zeitgeber-Aktivierungs-Signale CKE sind.

Hierbei ist jedem Speicherrank 20, der in dem Speichersystem 10 getrennt angesprochen werden soll, ein eigenes CKE-Element CKE[i] zugeordnet.

- 5 Des weiteren kann ein Befehl gemäß der ersten Ausführungsform ein Befehlssegment BS umfassen, dessen Elemente E On-Die-Termination-Signale ODT sind. Hierbei ist ebenfalls jedem Speicherrank 20, der in dem Speichersystem 10 getrennt angesprochen werden soll, ein eigenes ODT-Element bzw. ODT-
10 Bit ODT[i] zugeordnet.

- Ferner können in einem Befehl gemäß der ersten Ausführungsform Elemente bzw. Bits vorgesehen sein für ein
Reset-Signal RES, ein Row-Adress-Strobe-Signal RAS, ein
15 Column-Adress-Strobe-Signal CAS, ein Write-Enable-Signale WE, Bank-Signale B[i], Adress-Signale A[i] und weitere, noch nicht weiter spezifizierte Signale RFU[i]. Die Signale RAS, CAS und WE werden für die Befehlskodierung verwendet.

- 20 Nachfolgend wird der Betrieb eines bevorzugten synchronen Speichersystems 10 mit Bezug auf die Figuren beschrieben.

- Die Speichersteuereinrichtung 14 erzeugt einen Befehl und leitet diesen über den Übertragungsbus 22 an das erste
25 Speichermodul 16 weiter. Hierbei werden die einzelnen Befehlssegmente BS des Befehls nacheinander übertragen, wobei ein Befehlssegment BS je Taktzyklus bzw. CA-Request-Tick übertragen wird. Um einen Befehl vollständig zu übertragen werden so viele Taktzyklen benötigt, wie Befehlssegmente BS
30 pro Befehl vorhanden sind.

- In einer bevorzugten Ausführungsform wird der erzeugte Befehl vor der Übertragung ferner mit einem Kodierungsverfahren kodiert. Ein solches Kodierungsverfahren kann beispielsweise
35 der Code 8B10B, der für Hochgeschwindigkeits-Netzwerkverbindungen verwendet wird, sein. Es kann jedoch ebenfalls jedes andere geeignete Kodierungsverfahren

eingesetzt werden. Hierzu ist bevorzugt in der Speichersteuereinrichtung 14 eine Kodierungseinrichtung vorgesehen.

- 5 Die Verarbeitung der unkodierten Befehle von der Speichersteuereinrichtung 14 und der Puffereinrichtung 18 kann somit als ein "logisches Protokoll" angesehen werden. Hingegen kann die Verarbeitung der kodierten Befehle als ein "elektrisches bzw. physikalisches Protokoll" angesehen
10 werden, wobei das "logische Protokoll" und das "physikalische Protokoll" voneinander verschieden sein können.

Die Puffereinrichtung 18 des ersten Speichermoduls 16 empfängt den Befehl und vergleicht das Bitmuster des
15 Auswahlbefehlssegments R mit einem internen vorbestimmten Bitmuster.

Wenn die Befehle vor der Übertragung durch die Speichersteuereinrichtung 14 codiert wurden, werden die
20 empfangenen Befehle nach dem Empfang zunächst durch die Puffereinrichtung 18 dekodiert. Hierzu ist bevorzugt in der Puffereinrichtung 18 eine Dekodierungseinrichtung vorgesehen.

Entsprechend dem Vergleichsergebnis leitet die
25 Puffereinrichtung 18 den Befehl an einen, mehrere oder alle Speicherränke 20 des Speichermoduls 16 weiter und/oder leitet den Befehl an das nächste Speichermodul 16 in der Kette weiter. D.h. wenn in dem Vergleich ermittelt wurde, daß der Befehl für einen oder mehrere Speicherränke 20 des
30 Speichermoduls 16 bestimmt ist, wird der Befehl an die jeweiligen Speicherränke 20 weitergeleitet. Gleichzeitig wird der Befehl an das nächste bzw. benachbarte Speichermodul 16 weitergeleitet. Wenn in dem Vergleich ermittelt wurde, daß der Befehl nicht für die Speicherränke 20 des Speichermoduls
35 16 bestimmt ist, wird der Befehl nur an das nächste bzw. benachbarte Speichermodul 16 weitergeleitet.

In dem nächsten Speichermodul 16 empfängt die Puffereinrichtung 18 den weitergeleiteten Befehl und führt wiederum einen Vergleich durch. Dies wird bis zum letzten Speichermodul 16 der Kette durchgeführt.

Bevorzugt kann die Puffereinrichtung 18 eine Funktionalität aufweisen, mit Hilfe welcher ermittelt werden kann, ob der Befehl für die nachfolgenden Speichermodule 16 bestimmt ist oder nicht. Falls der Befehl nicht für die nachfolgenden Speichermodule 16 bestimmt ist, leitet die Puffereinrichtung 18 den Befehl lediglich an die zugehörigen ausgewählten Speicherränke 20 weiter und nicht an das nachfolgende Speichermodul 16. Dadurch, daß Befehle nur weitergeleitet werden, wenn sie für die nachfolgenden Speichermodule 16 bestimmt sind, kann eine Leistungersparnis in dem Speichersystem 10 erreicht werden.

Des weiteren kann vorgesehen sein, daß wenn die Puffereinrichtung 18 ermittelt, daß sie die letzte in dem Speichersystem 10 ist, eine Weiterleitung des Befehls unterbleibt.

Vorzugsweise wird das Auswahlbefehlssegment R als erstes Segment eines Befehls übertragen. So kann die obige Entscheidung in der Puffereinrichtung 18 früh getroffen werden und Latenzen in der Puffereinrichtung 18 können gering gehalten werden.

Ferner kann vorgesehen sein, daß die Puffereinrichtung 18 das Chip-Select-Signal, d.h. das Signal, welches dem Speicherrank 20 signalisiert, daß der Befehl für ihn bestimmt ist, für den jeweiligen Speicherrank 20 intern generiert.

Nachfolgend wird Bezug nehmend auf **Figur 4** ein zweites Befehlsformat, welches in einem synchronen Speichersystem gemäß der bevorzugten Ausführungsform der vorliegenden

Erfindung verwendet werden kann, beschrieben.

Das zweite Befehlsformat entspricht im wesentlichen dem ersten Befehlsformat. Nachfolgend werden daher nur die
5 Unterschiede zum ersten Befehlsformat aufgezeigt.

Im zweiten Befehlsformat ist lediglich ein Element für ein Clock-Enable-Signal CKE je Befehl vorgesehen. Mit Hilfe des Auswahlbefehlssegments wird bereits festgelegt, für welche
10 Speicherränke 20 der Befehl bestimmt ist. Somit ist ein gesondertes Clock-Enable-Signal CKE für jeden einzelnen Speicherrank 20 nicht mehr notwendig.

Ferner wird das On-Die-Termination-Signal ODT für die
15 Speicherränke 20 intern von der Puffereinrichtung 18 generiert. Aus den übertragenen Befehlen für die eigenen und anderen Speicherränke 20 kann die jeweilige Puffereinrichtung 18 feststellen, wann eine Aktivierung der On-Die-Termination notwendig ist. Es ist somit nicht notwendig ein Element für
20 ein On-Die-Termination-Signal ODT in den Befehlen vorzusehen.

Das Resest-Signal RES wird über eine eigene Leitung, die zusätzlich zu dem Übertragungsbus 22 vorgesehen ist, zu den
25 Speichermodulen 16 zugeführt. Dies ist möglich, da das Resest-Signal RES nur selten und meist asynchron, d.h. ohne zeitlichen Zusammenhang zu den Befehlen, benötigt wird.

Somit werden im Vergleich zu dem ersten Befehlsformat weniger
30 Elemente E bzw. Befehlssegmente BS pro Befehl benötigt. Die Befehle sind somit kürzer, d.h. sie weisen weniger Befehlssegmente BS auf, und können schneller übertragen werden, da weniger Taktzyklen benötigt werden.

35 Nachfolgend wird mit Bezug auf **Figur 5** ein drittes Befehlsformat, welches in einem synchronen Speichersystem gemäß der bevorzugten Ausführungsform der vorliegenden

Erfindung verwendet werden kann, beschrieben.

Das dritte Befehlsformat entspricht im wesentlichen dem zweiten Befehlsformat. Nachfolgend werden daher nur die
5 Unterschiede zum ersten Befehlsformat aufgezeigt.

An Stelle des Resest-Signal RES wird ein HUB-Signal verwendet, welches signalisiert, wenn ein Befehl nicht für einen oder mehrere Speicherränke 20 sondern für die
10 Puffereinrichtung 18 selbst bestimmt ist. Hierbei umfaßt die Puffereinrichtung 18 bevorzugt Konfigurationsregister, die mit dem HUB-Signal gesetzt werden können. Dadurch kann die Funktionalität einzelner Element E verändert werden. Z.B.
15 kann mit Hilfe des HUB-Signals den Signalen RAS, CAS, WE, B[i] und A[i] eine andere Bedeutung zugeordnet werden, wenn das HUB-Signal einen vorbestimmten Wert annimmt. In diesem Fall können die Speicherchip-Funktionen, wie z.B. Power Down oder Self Refresh, durch die Puffereinrichtungsbefehle gesteuert werden. Ferner kann vorgesehen sein, daß die
20 Puffereinrichtung 18 ihren eigenen Power-Down-Modus aufweist. Dieser Modus kann automatisch aktiviert werden, wenn die nachgelagerten Speicherchips in den Power-Down-Zustand oder Self-Refresh-Zustand gebracht werden.

25 Das vorstehend beschriebene synchrone Speichersystem kann für hohe Datenraten, insbesondere DDR III (Double-Data-Rate III) mit 1066 - 1333 Mbps/Pin), betrieben werden.

Bezugszeichenliste

	10	Speichersystem
5	12	Mother Board
	14	Speichersteuereinrichtung
	16	Speichermodul
	18	Puffereinrichtung
	20	Speicherrank
10	22	Übertragungsbus
	24	interne Verbindung
	26	Eingangsanschluß
	28	Ausgangsanschluß
	30	Switch
15	32	DM bzw. Demultiplexer-Schaltung
	D	Speicherchip
	BS	Befehlssegment
	R	Auswahlbefehlssegment
20	E	Element

Ansprüche

1. Synchrones Speichersystem (10), welches umfaßt:
- eine Speichersteuereinrichtung (14);
 - ein oder mehrere Speichermodule (16) eines
- 5 Hauptspeichers, wobei jedes Speichermodul (16) einen oder mehrere Speicherränke (20) umfaßt;
- einen Übertragungsbus (22) zur Kommunikation zwischen der Speichersteuereinrichtung (14) und den Speichermodulen (16), wobei der Übertragungsbus (22) als
- 10 eine verkettete Busstruktur ausgebildet ist und mehrere parallele Übertragungsleitungen umfaßt;

wobei

die Speichersteuereinrichtung (14) ausgelegt ist, Befehle, welche mehrere Befehlssegmente (BS) mit jeweils mehreren

- 15 Elementen (E) umfassen, zu erzeugen und über den Übertragungsbus (22) zu den Speichermodulen (16) zu übertragen,

der Übertragungsbus (22) ausgelegt ist, die Elemente (E) eines Befehlssegments (BS) parallel zu übertragen, und

- 20 die Befehle jeweils ein Auswahlbefehlssegment (R) umfassen zum Auswählen eines oder mehrerer Speicherränke (20), wobei jedem der Speicherränke (20) ein-eindeutig zumindest ein Element (R[0], R[1], R[2], R[3], R[4], R[5], R[6], R[7]) des Auswahlbefehlssegments (R) zugeordnet ist.

25

2. Synchrones Speichersystem (10) gemäß Anspruch 1, wobei die Speichermodule (16) ferner eine Puffereinrichtung (18) umfassen zum Weiterleiten von Befehlen an einen oder mehrere Speicherränke (20) des jeweiligen Speichermoduls (16)

- 30 und/oder an andere Speichermodule (16).

3. Synchrones Speichersystem (10) gemäß Anspruch 2, wobei die Puffereinrichtung (18) ausgelegt ist zum Vergleichen des

Bitmusters des Auswahlbefehlssegments (R) eines Befehls mit einem oder mehreren vorbestimmten Bitmustern und zum Entscheiden, ob der zugehörige Befehl an einen oder mehrere der Speicherränke (20) des Speichermoduls (16) und/oder
5 andere Speichermodule (16) weitergeleitet werden soll.

4. Synchrones Speichersystem (10) gemäß einem der Ansprüche 2 oder 3, wobei die Puffereinrichtung (18) ausgelegt ist, ein Chip-Select-Signal für einen oder mehrere Speicherränke (20)
10 zu erzeugen.

5. Synchrones Speichersystem (10) gemäß einem der vorangehenden Ansprüche, wobei das Auswahlbefehlssegment (R) das erste Segment eines Befehls ist.
15

6. Synchrones Speichersystem (10) gemäß einem der vorangehenden Ansprüche, wobei die Anzahl der Übertragungsleitungen des Übertragungsbusses (22) mindestens gleich der maximalen Anzahl der in dem Speichersystem (10)
20 verwendbaren Speicherränke (20) ist.

7. Synchrones Speichersystem (10) gemäß einem der vorangehenden Ansprüche, wobei in den Befehlen für jeden Speicherrank (20) ein Element (E) für ein Clock-Enable-Signal (CKE) vorgesehen ist.
25

8. Synchrones Speichersystem (10) gemäß einem der Ansprüche 1 bis 6, wobei in den Befehlen ein Element (E) für ein Clock-Enable-Signal (CKE) für alle Speicherränke (20) vorgesehen
30 ist.

9. Synchrones Speichersystem (10) gemäß einem der vorangehenden Ansprüche, wobei in den Befehlen für jeden Speicherrank (20) ein Element (E) für ein On-Die-Termination-Signal (ODT) vorgesehen ist.
35

10. Synchrones Speichersystem (10) gemäß Ansprüche 1 bis 8, wobei in den Befehlen ein Element (E) für ein On-Die-Termination-Signal (ODT) für alle Speicherränke (20) vorgesehen ist.

5

11. Synchrones Speichersystem (10) gemäß Ansprüche 1 bis 8, wobei die Puffereinrichtung (18) ausgelegt ist, ein On-Die-Termination-Signal zu erzeugen.

10 12. Synchrones Speichersystem (10) gemäß einem der vorangehenden Ansprüche, wobei in den Befehlen ein Element (E) für ein Reset-Signal (RES) vorgesehen ist.

15 13. Synchrones Speichersystem (10) gemäß einem der Ansprüche 1 bis 11, welches ferner eine Übertragungsleitung für ein Reset-Signal umfaßt.

20 14. Synchrones Speichersystem (10) gemäß einem der vorangehenden Ansprüche, wobei in den Befehlen ein Element (HUB) vorgesehen ist zum Signalisieren, daß der Befehl für die Puffereinrichtung (18) bestimmt ist.

25 15. Synchrones Speichersystem (10) gemäß einem der vorangehenden Ansprüche, wobei die Speichersteuereinrichtung (14) eine Kodiereinrichtung zum Kodieren von erzeugten Befehlen umfaßt und die Puffereinrichtung (18) eine Dekodiereinrichtung zum Dekodieren von empfangenen kodierten Befehlen umfaßt.

30 16. Verfahren zur Kommunikation in einem synchronen Speichersystem (10), insbesondere gemäß einem der vorangehenden Ansprüche, zwischen einer Speichersteuereinrichtung (14) und einem oder mehreren Speichermodulen (16) eines Hauptspeichers über einen Übertragungsbus (22), wobei jedes Speichermodul (16) einen oder mehrere Speicherränke (20) umfaßt, der Übertragungsbus (22) als eine verkettete Busstruktur ausgebildet ist und

35

mehrere parallele Übertragungsleitungen umfaßt,
wobei das Verfahren die folgenden Schritte umfaßt:

- Erzeugen von Befehlen, welche jeweils mehrere Befehlssegmente (BS) mit jeweils mehreren Elementen (E) umfassen, durch die Speichersteuereinrichtung (14);
- Übermitteln der Befehle zu den Speichermodulen (16) über den Übertragungsbus (22), wobei die Elemente (E) eines Befehlssegments (BS) parallel übertragen werden;

wobei die Befehle ein Auswahlbefehlssegment (R) umfassen zum Auswählen eines oder mehrerer Speicherränke (20), wobei jedem der Speicherränke (20) ein-eindeutig zumindest ein Element (R[0], R[1], R[2], R[3], R[4], R[5], R[6], R[7]) des Auswahlbefehlssegments (R) zugeordnet ist.

17. Verfahren gemäß Anspruch 16, wobei die Speichermodule (16) jeweils eine Puffereinrichtung (18) umfassen und das Verfahren die folgenden Schritte umfaßt:

- Empfangen der Befehl von dem Übertragungsbus (22) durch die Puffereinrichtung (18); und
- Weiterleiten der Befehle an einen oder mehrere Speicherränke (20) des jeweiligen Speichermoduls (16) und/oder andere Speichermodule (16) durch die Puffereinrichtung (18).

18. Verfahren gemäß Anspruch 17, wobei das Verfahren die folgenden Schritte umfaßt:

- Vergleichen des Bitmusters des Auswahlbefehlssegments (R) mit einem oder mehreren vorbestimmten Bitmustern durch die Puffereinrichtung (18); und
- Entscheiden, ob der zugehörige Befehl an einen oder mehrere der Speicherränke (20) des Speichermoduls (16) und/oder andere Speichermodule (16) weitergeleitet werden soll, durch die Puffereinrichtung (18).

19. Verfahren gemäß Anspruch 17 oder 18, welches ferner einen Schritt des Erzeugens eines Chip-Select-Signals für einen oder mehrere Speicherränke (20) durch die

Puffereinrichtung (18) umfaßt.

20. Verfahren gemäß einem der Ansprüche 16 bis 19, wobei das
Auswahlbefehlssegment (R) als erstes Segment eines Befehls
5 übertragen wird.

21. Verfahren gemäß einem der Ansprüche 16 bis 20, welches
ferner einen Schritt des Kodierens von erzeugten Befehlen
durch die Speichersteuereinrichtung (14) und einen Schritt
10 des Dekodierens des empfangenen kodierten Befehls durch die
Puffereinrichtung (18) umfaßt.

22. Protokoll zur Kommunikation in einem synchronen
Speichersystem (10), insbesondere gemäß einem der Ansprüche 1
15 bis 15, zwischen einer Speichersteuereinrichtung (14) und
einem oder mehreren Speichermodulen (16) eines Hauptspeichers
über einen Übertragungsbus (22), wobei jedes Speichermodul
(16) einen oder mehrere Speicherränke (20) umfaßt und der
Übertragungsbus (22) als eine verkettete Busstruktur
20 ausgebildet ist und mehrere parallele Übertragungsleitungen
umfaßt, wobei das Protokoll Befehle, welche mehrere
Befehlssegmente (BS) mit jeweils mehreren Elementen (E)
aufweisen, umfaßt und die Befehle ein Auswahlbefehlssegment
(R) zum Auswählen eines oder mehrerer Speicherränke (20)
25 umfassen, wobei jedem der Speicherränke (20) ein-eindeutig
zumindest ein Element (R[0], R[1], R[2], R[3], R[4], R[5],
R[6], R[7]) des Auswahlbefehlssegments (R) zugeordnet ist.

Zusammenfassung

Die Erfindung betrifft ein synchrones Speichersystem (10), welches umfaßt:

- eine Speichersteuereinrichtung (14);
- ein oder mehrere Speichermodule (16) eines
5 Hauptspeichers, wobei jedes Speichermodul (16) einen
 oder mehrere Speicherränke (20) umfaßt;
- einen Übertragungsbus (22) zur Kommunikation zwischen
 der Speichersteuereinrichtung (14) und den
 Speichermodulen (16), wobei der Übertragungsbus (22) als
10 eine verkettete Busstruktur ausgebildet ist und mehrere
 parallele Übertragungsleitungen umfaßt;

wobei

die Speichersteuereinrichtung (14) ausgelegt ist, Befehle,
welche mehrere Befehlssegmente (BS) mit jeweils mehreren
15 Elementen (E) umfassen, zu erzeugen und über den
 Übertragungsbus (22) zu den Speichermodulen (16) zu
 übertragen,

der Übertragungsbus (22) ausgelegt ist, die Elemente (E)
eines Befehlssegments (BS) parallel zu übertragen, und

20 die Befehle jeweils ein Auswahlbefehlssegment (R) umfassen
 zum Auswählen eines oder mehrerer Speicherränke (20), wobei
 jedem der Speicherränke (20) ein-eindeutig zumindest ein
 Element (R[0], R[1], R[2], R[3], R[4], R[5], R[6], R[7]) des
 Auswahlbefehlssegments (R) zugeordnet ist. Die Erfindung

25 betrifft ferner ein Verfahren und ein Protokoll zur
 Kommunikation in einem synchronen Speichersystem.

(Fig. 2)

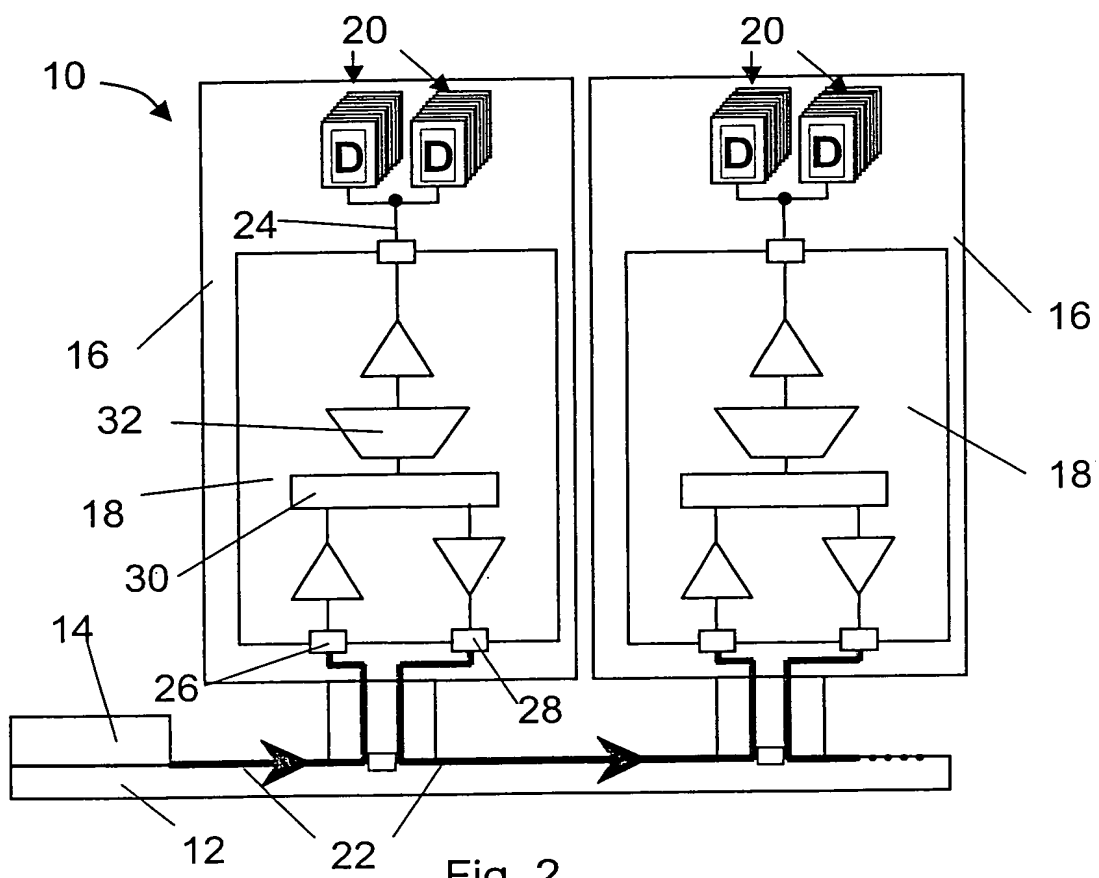
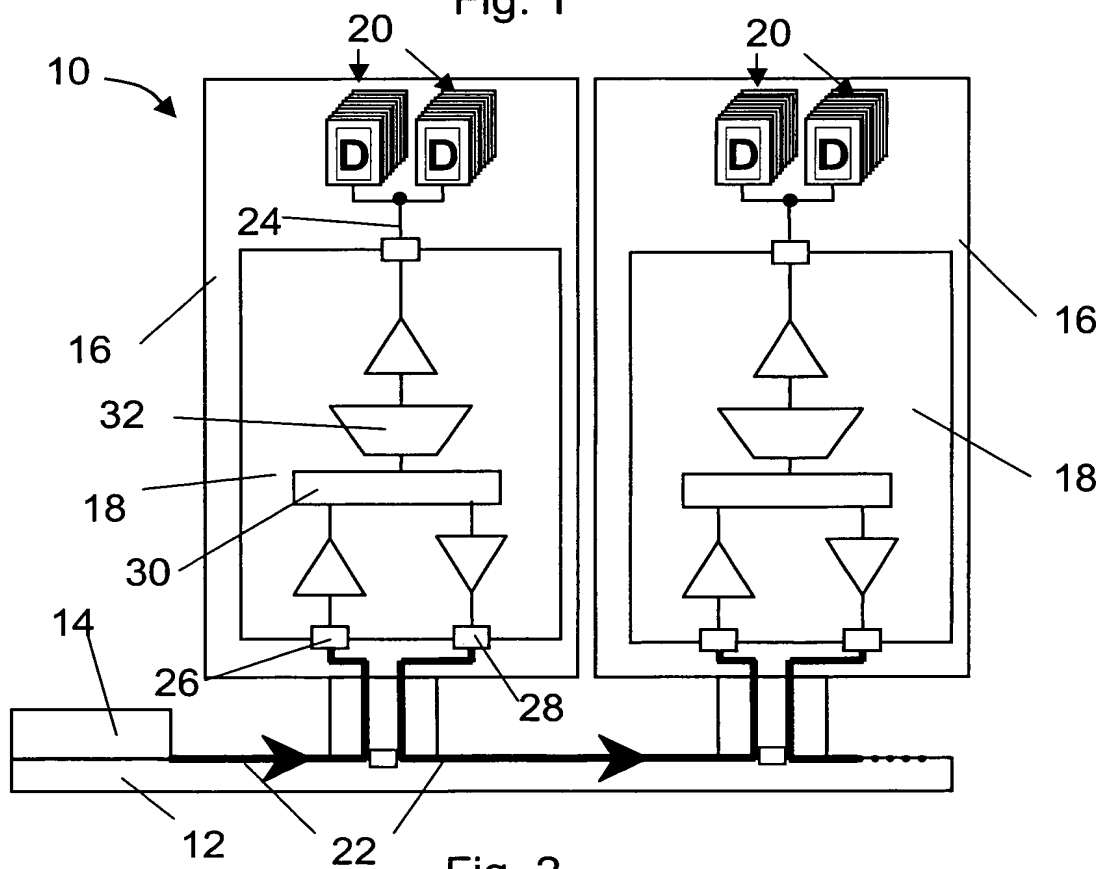
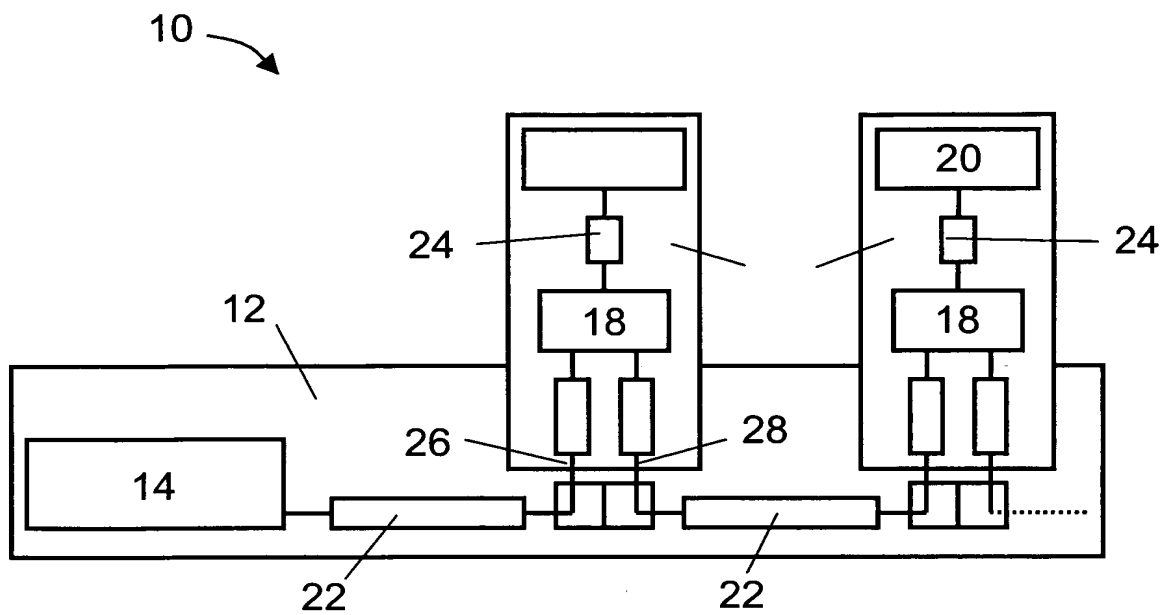


Fig. 2



		CA Request Tick							
		0	1	2	3	4	5	6	7
CA Leitung	CA[0]	R[0]	CKE[0]	ODT[0]	RES	A[0]	A[8]	RFU[0]	RFU[8]
	CA[1]	R[1]	CKE[1]	ODT[1]	RAS	A[1]	A[9]	RFU[1]	RFU[9]
	CA[2]	R[2]	CKE[2]	ODT[2]	CAS	A[2]	A[10]	RFU[2]	RFU[10]
	CA[3]	R[3]	CKE[3]	ODT[3]	WE	A[3]	A[11]	RFU[3]	RFU[11]
	CA[4]	R[4]	CKE[4]	ODT[4]	B[0]	A[4]	A[12]	RFU[4]	RFU[12]
	CA[5]	R[5]	CKE[5]	ODT[5]	B[1]	A[5]	A[13]	RFU[5]	RFU[13]
	CA[6]	R[6]	CKE[6]	ODT[6]	B[2]	A[6]	A[14]	RFU[6]	RFU[14]
	CA[7]	R[7]	CKE[7]	ODT[7]	B[3]	A[7]	A[15]	RFU[7]	RFU[15]

R
E
BS

Fig. 3

		CA Request Tick			
		0	1	2	3
CA Lines	CA[0]	R[0]	CKE	A[0]	A[8]
	CA[1]	R[1]	RAS	A[1]	A[9]
	CA[2]	R[2]	CAS	A[2]	A[10]
	CA[3]	R[3]	WE	A[3]	A[11]
	CA[4]	R[4]	B[0]	A[4]	A[12]
	CA[5]	R[5]	B[1]	A[5]	A[13]
	CA[6]	R[6]	B[2]	A[6]	A[14]
	CA[7]	R[7]	B[3]	A[7]	A[15]

R

Fig. 4

		CA Request Tick			
		0	1	2	3
CA Lines	CA[0]	R[0]	HUB	A[0]	A[8]
	CA[1]	R[1]	RAS	A[1]	A[9]
	CA[2]	R[2]	CAS	A[2]	A[10]
	CA[3]	R[3]	WE	A[3]	A[11]
	CA[4]	R[4]	B[0]	A[4]	A[12]
	CA[5]	R[5]	B[1]	A[5]	A[13]
	CA[6]	R[6]	B[2]	A[6]	A[14]
	CA[7]	R[7]	B[3]	A[7]	A[15]

R

Fig. 5